ASK Egzamin – zagadnienia i materiały:

Egzamin 2005

(pytania z 2 potoków)

1. porównać (3 roznice min) cache i pam. Głównej,
2. Różnica (3 min) między przetwarzaniem sekwencyjnym a potokowym,
3. ISA - jakie elementy wchodzą (wymienić i opisać),
4. fazy wykonywania rozkazu (cykl rozkazowy),
5. wypisz i opisz elementy architektury do zrealizowania forwardingu,
6. porównać (3 różnice min) wirtualnej i pam. głównej - 6pkt,
7. wymienić i opisać (min 3) rodzaje hazardów w przetwarzaniu potokowym - 6pkt,
8. wypisz i opisz elementy organizacji do zrealizowania forwardingu - 6pkt,

Egzamin 2005 (jakiś inny)

1. Na podstawie jakich kryteriów dzieli się systemy wieloprocesorowe (wg. Jakich klasyfikacji). Opisz utworzone klasy. Zalicz wybrany komputer do jednej z klas i podaj uzasadnienie.
2. Opisz budowę wybranego procesora RISC. Narysuj jego uproszczony schemat blokowy, wymień etapy (stages) potoku tego procesora i opisz ich funkcje.
3. Wymień i opisz rodzaj hazardów. Podaj przykład sekwencji instrukcji, której wykonanie na komputerze DLX spowoduje powstanie hazardu (strukturalnego, sterowania, danych). Narysuj diagram czasowy przedstawiający sytuację, opisz czynności wykonywane przez procesor przy wystąpieniu tego rodzaje zdarzenia.
4. Porównaj wybrane cechy komputerów o architekturę CISC, RISC, VLM.

Egzamin 2008 (zaoczni)

Różne rozwiązania tego zadania są na forum.

Zadanie 1

Dany jest Komputer o architekturze load/store posługujący się językiem assemblerowskim, zbliżonym do DLX, przetwarzający liczby całkowite w którym występują 64 różne rozkazy języka maszynowego. 32 rejestry GPR o długości 32 bitów każdy, 1024 (adresowane za pomocą kolejnych liczb całkowitych nieujemnych od 0 do 1023) słowa pamięci operacyjnej o dł. 4 bajtów każde. Zaproponuj format rozkazu maszynowego (w tym liczbę bitów niezbędnych dla poszczególnych pól z uzasadnieniem) dla rozkazu assemblerowkiego:

A. load R1, 100
B. Add R1, R2, R3
C. j 1000
D. nop

Zadanie 2

Dana jest 32 bitowa liczba dwójkowa L zapisana w kodzie szesnastkowym L = 44618000 H Jaką wartość reprezentuje ta liczba jeżeli koduje ona :

A. Liczbę ZMP pojedynczej precyzji, zgodna z normą IEEE 754
B. Liczbą STP w kodzie u2 zgodnie z normą IEEE 754

Zadanie 3

Opisać za pomocą notacji przesłań między rejestrowych i wyjaśnić czynności wykonane przez DLX w fazie

A. IF
B. EX
C. WB

Zadanie 4

Wyjaśnić:

A. czas dostępu,
B. RAM,
C. CAS,

Zadanie 5

Dany jest fragment kodu assem. DLX. Komp ten nie jest wyposażony w forwarding. Narysować diagram cykli zegarowych, i obliczyć:

A. liczbę cykli zegarowych
B. liczbę instrukcji
C. CPI z dokładnością do dwóch miejsc po przecinku dla wykonania tego kodu bez analizy instrukcji trap.

```
.data
a: word 2
b: word 5
c: word 8
d: word 9
e: word 2
f: word 3

.text

lw r1,a(r0)
lw r11,d(r0)
lw r2,b(r0)
```

```
tam:
lw r12, e(r0)
add r3,r1,r2
sub r13,r11,r12
sw c(r0),r3
sw f(r0),r13
subi r1,r1#2
bnez r1,tam

trap0
```

Z Sylabusa

1. Schemat blokowy komputera. Model von Neumanna. Pojęcie architektury i organizacji. Technika cyfrowa i systemy cyfrowe.
   - Logika cyfrowa: `OiASK, strona 765`
   - Model von Neumanna: `OiASK, strona 39`
   - Architektura i organizacja: `OiASK, strona 24`
2. Architektura języka wewnętrznego. Lista rozkazów, formaty rozkazów i danych, typy operacji, tryby adresacji.
   - Właściwości rozkazów, itp.: `OiASK, strona 369`
   - Formaty rozkazów: `OiASK, strona 442`
   - Rodzaje operacji: `OiASK, strona 383`

- Tryby adresacji: OiASK, strona 428

3. Maszynowa reprezentacja danych. Kodowanie liczb. Realizacja podstawowych operacji arytmetycznych i logicznych.
   - Stałoprzecinkowe: OiASK, strona 323
   - Zmiennoprzecinkowe: OiASK, strona 346
   - Jednostka arytmetyczno-logiczna: OiASK, strona 322
4. Organizacja komputera na poziomie asemblera. Organizacja jednostki centralnej. Sterowanie sprzętowe i mikroprogramowane. Cykl rozkazowy. Przerwania i wyjątki. Systemy przerwań.
   - Cykl rozkazowy - Anatomia PC, strona 24
   - Organizacja jednostki sterującej: OiASK, strona 637
   - Cykl rozkazowy: OiASK, strona 470
5. Pamięć główna. Typy i hierarchia pamięci. Organizacja i architektura systemów pamięci.
   - Anatomia PC, strona 147
   - OiASK, strona 165
6. Pamięć podręczna. Typy organizacji i ocena efektywności pamięci podręcznej. Pamięć wirtualna. Sprzętowe i programowe mechanizmy wspomagające efektywność działania pamięci wirtualnych. Interfejsy i komunikacja.
   - Anatomia PC, strona 37
   - OiASK, strona 121
7. Przetwarzanie potokowe. Architektura procesora DLX – formaty danych, formaty rozkazów. Organizacja procesora DLX – wersja sekwencyjna i potokowa.
   - Procesory superskalarne: OiASK, strona 559
8. Hazardy strukturalne. Hazardy danych – wprowadzenie, przykłady hazardów RAW, WAR, WAW. Forwarding, scheduling. Hazardy sterowania. Statyczne i dynamiczne przewidywanie skoków. Rozwijanie pętli. Analiza wybranych przykładów.
   - Anatomia PC, strona 25
   - OiASK, strona 474
9. Porównanie architektur CISC, RISC i VLIW. Taksonomie systemów komputerowych: Flynna (SISD, SIMD, MISD, MIMD (NUMA, UMA)), Treleavena (COSH, COME, DASH, DAME, DESH, DASH, DAME). Wieloprocesorowość i architektury alternatywne. Tendencje rozwojowe architektur współczesnych komputerów.
   - RISC, CISC – Anatomia PC, strona 21,
   - UMA, NUMA – Anatomia PC, strona 125,
   - Architektury wieloprocesorowe – Anatomia PC, strona 123,
   - CISC, RISC – porównanie - OiASK, 552
   - Organizacje równoległe (SISD, SIMD, MISD, MIMD): OiASK, strona 713
   - NUMA: OiASK, strona 739

OiASK – Organizacja i Architektura Systemów Komputerowych - wydanie trzecie zmienione i rozszerzone (2004).
Anatomia PC – wydanie X (2006).